

文章编号:1007-2780(2009)06-0896-05

基于 DVI 的接口扩展设计

张俊

(南京工业大学 电子与信息工程学院,江苏 南京 210009, E-mail: zhangjun8599@sina.com)

摘要: 介绍了 DVI 接口在数字传输中的优点及其工作原理,对 DVI 接口进行扩展,设计了一个 DVI 的一进四出转接系统,以实现 DVI 的同步输出。同时在保证信号完整性方面,总结了高频混合信号电路在 PCB 布线中的注意事项。

关键词: DVI; TMDS; EDID; 高频 PCB 设计
中图分类号: TN873 **文献标识码:** A

1 引言

人类主要的信息来源于视觉,所以视频显示自然成为人机接口的重要组成部分。目前,台式显示器的接口标准仍然是模拟接口,但随着 LCD、PDP 等技术的发展和流行,显示器的分辨率越来越高。对于模拟信号,在系统中需要进行 A/D 转换,这使信号质量有所下降,并且随着电缆的加长会增加高频衰减,失真积累使图形畸形;而由数字显示工作组(DDWG)推出的 DVI 数字视频接口标准则很好地解决了上述问题。

DVI 接口是基于最小化传输差分信号(Transition Minimized Differential Signaling, TMDS)电子协议作为基本电气连接。DVI 传输的是数字信号,数字图像信息不需经过任何转换,就会直接被传送到显示设备上,减少了 D/A 转换、A/D 转换的繁琐过程,避免了数据在传输过程中信号的衰减,不仅使图像的清晰度和细节表现力都得到了提高,而且大幅节省了时间,因此它的速度更快,可有效消除拖影现象。此外,DVI 接口可以支持高宽带数字内容保护(HDCP)协议,为将来看有版权的高清视频打下了基础。

DVI 接口涉及到大量的计算机显示技术标准,其核心为 TMDS 编解码与高速差分信号传输技术。做好 DVI 接口硬件设计的前提在于理解 TMDS 的电气标准与时钟同步原理,在设计时必须严格遵循高速混合电路设计的原则,并细致地调整板级设计的参数,才能设计出性能强劲且稳

定可靠的 DVI 接口设备^[1,2]。本文对 DVI 接口进行了扩展,设计了一个 DVI 的一进四出转接系统,实现了 DVI 的同步输出。

2 硬件设计与原理

2.1 结构框图

本设计采用 TFP201 作为接收芯片,并采用具有 I²C 总线接口的串行 E²PROM AT24C16, DVI 显卡通过 I²C 总线从 AT24C16 中读出 EDID 数据(扩展显示标识数据),其数据包含了显示设备的制造厂商、产品序列号、EDID 版本信息,指出了显示设备所支持的现实能力,主要包括现实的分辨率、场频、行频的方位等参数。当检测到 EDID 数据后,启动 DVI 接口,接收芯片对 TDMS 信号进行解码,解码出来的信号通过转接模块进行扩展,再分别传入发送芯片 SIL164,对信号重新编码。其结构框图如图 1 所示。

2.2 DVI 硬件原理

2.2.1 TMDS 基本链路的结构

所选接收芯片 TFP201^[3]和发送芯片 Sil164^[4]支持的 DVI 接口标准都是基于 TMDS 技术的。运用先进的编码算法,把 8 bit 数据(R、G、B 三路基色信号)通过最小转换编码为 10 bit 数据(包括行场同步信息、时钟、数据 DE、纠错等),再经 DC 平衡后,采用差分信号传输数据。对像素数据还是控制数据进行编码取决于数据使能信号 DE 的状态。DE=1 时,对像素数据进行编码,控制数据就会被屏蔽;DE=0 时,当前像素数据无效,而

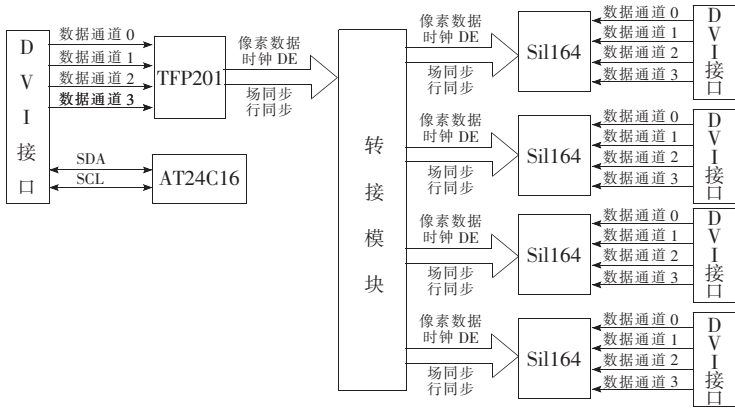


图 1 原理框图

Fig. 1 Block diagram of design principle

相应数据通道的控制数据有效。无论对哪一种数据进行编码,由编码器输出的都是串行的 10 bit 码元,并且最低有效位先送出。本设计的 DVI 数字信号传输使用的是单链路方式,其连接传输结构如图 2^[5]所示。

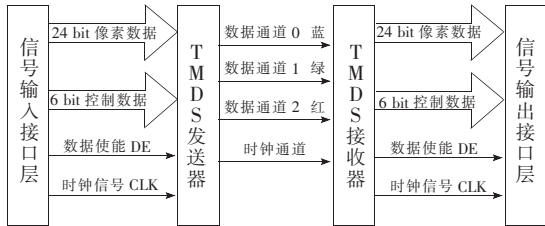


图 2 TMDS 单链路传输结构

Fig. 2 Single-link TMDS transmission structure

2.2.2 TMDS 链路时钟信号分配

在整个 TMDS 链路中存在着 4 个相互关联的时钟信号,分别是:像素时钟(Pixel clock)、编码时钟(Character clock)、链路时钟(Link clock)和采样时钟(Sampling clock)。其时钟信号分配如图 3 所示^[6]。

TMDS 链路在发送器和接收器中共用一条时钟链路,TMDS 链路上的时钟信号直接取自于图形控制芯片提供的像素时钟。8 bit 像素数据以像素时钟的速度输入到编码器后,被转换成 10 bit 的 TMDS 码元,在 TMDS 通道内串行传输,就需要 TMDS 码元以 10 倍像素的时钟频率进行码元传输,该时钟即为编码时钟。在接收端,若要正确判断所接收的码元就需要用高于编码时钟的频率对输入信号进行采样,即采样时钟^[7]。

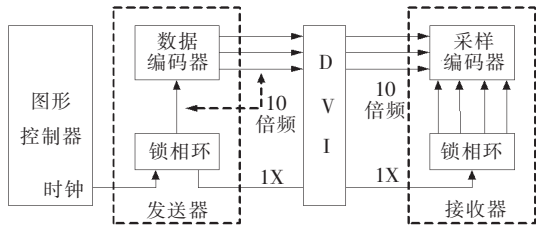


图 3 TMDS 链路的时钟信号分配

Fig. 3 Clock signal distribution

这 4 个时钟信号由 PLL(锁相环)电路和相应的驱动电路连接,发送器和接收器采用了性能参数相同的 PLL 电路,将生成的编码时钟和采样时钟的相位直接锁定到 Pixel clock 上,这样像素时钟上的抖动就被同步传递到输出的码元数据上,由于在驱动器和接收器上加入了相同相位的抖动,所以在接收方采用 PLL 电路将链路时钟倍频到码元时钟的频率上,就可以准确地将数据恢复出来。

2.2.3 TFP201A 功能和工作模式

DVI 接口的 TMDS 接收器以及信号解码是应用中最重要。下面主要对 TFP201A 进行介绍。TFP201A 是 TI 公司 PanelBus 平板显示产品系列中的一种 TMDS 信号接收芯片,它采用先进的 0.18 μm EPIC-5TM CMOS 处理工艺,使用 1.8 V 核心电压和 3.3 V I/O 电压,具有低噪声和低功耗特性,其 PowerPADTM 封装技术可保证芯片工作的热稳定性。TFP201A 的主要功能如下:

(1) 支持 SXGA 像素,时钟最高可达到

- 112 MHz;
- (2)支持 24 位(16.7M 颜色)真彩色(1 pixel/clock 或 2 pixel/clock);
- (3)内有用激光精密工艺制造的终端阻抗匹配电阻;
- (4)抖动抑制可以达到 1 pixel/clock;
- (5)采用 4 倍过采样技术;
- (6)具有行同步信号抖动抑制功能。
- TFP201A 工作模式分别由 $\overline{\text{PD}}$ 、 $\overline{\text{PDO}}$ 、DFO、PLXS、OCK_INV 进行配置,如表 1 所示。

表 1 TFP201A 工作模式
Table 1 TFP201A mode

$\overline{\text{PD}}$	$\overline{\text{PDO}}$	DFO	PLXS	OCK_INV	工 作 模 式
0	X	X	X	X	芯片不工作
1	0	X	X	X	除 CTL1、SCDT 外,其他输出端处于高阻态
1	1	0	0	0	1 pixel/clock,数据时钟连续,时钟下降沿锁存数据
1	1	0	0	1	1 pixel/clock,数据时钟连续,时钟上升沿锁存数据
1	1	0	1	0	2 pixel/clock,数据时钟连续,时钟下降沿锁存数据
1	1	0	1	1	2 pixel/clock,数据时钟连续,时钟上升沿锁存数据
1	1	1	0	0	1 pixel/clock,数据时钟受控,时钟下降沿锁存数据
1	1	1	0	1	1 pixel/clock,数据时钟受控,时钟上升沿锁存数据
1	1	1	1	0	2 pixel/clock,数据时钟受控,时钟下降沿锁存数据
1	1	1	1	1	2 pixel/clock,数据时钟受控,时钟上升沿锁存数据

2.3 转接模块

转接模块是本设计的一个十分重要的中间环节,其作用是把接收芯片 TFP201 输出的 1 路数据,扩展成 4 路数据,分别传输至 4 块发送芯片 SIL164。该模块主要由 12 块 SN74LVC16245A 构成。SN74LVC16245A 是一个总线收发器,通过对 DIR 管脚的设置,可以设置其数据传输方向,当 DIR 置高电平时,数据从 A 口传至 B 口,当 DIR 置低电平时,数据从 B 口传至 A 口。该芯片

可以支持 3.3 V 或者 5 V 输入电压。该模块部分电路如图 4 所示。

由于芯片 SN74LVC16245A 只能同时驱动 16 bit 数据,而 DVI 发送芯片、接收芯片传输的数据为 28 bit 数据(包括 HSYNC、VSYNC、DE、DCLK 和 24 bit 像素数据),故需 2 块 245 芯片才能传输完整的信息。如图 4 所示,接收芯片 TFP201 的数据传输至 D2 和 D3 两块 245 芯片,D2 的数据传输至 D4 和 D6,D3 的数据传输至 D5

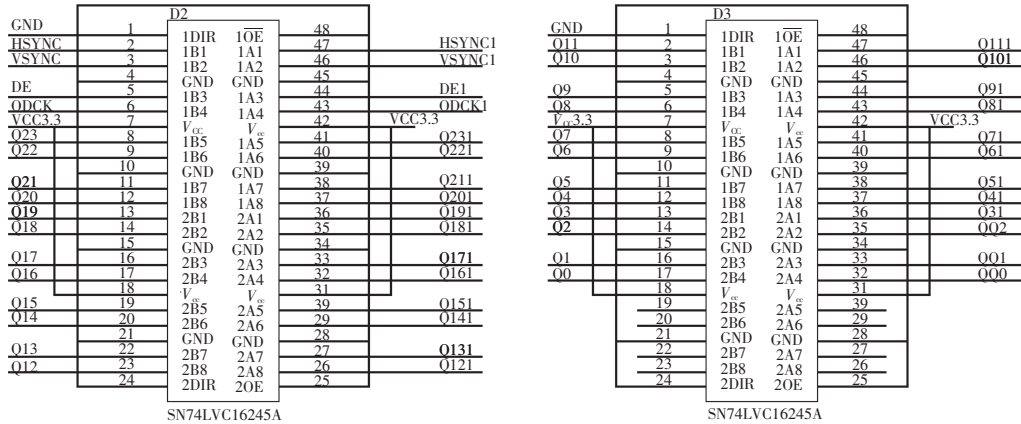


图 4 转接模块部分电路
Fig. 4 Part of switching circuit

和 D7,就完成了数据 28 bit 至 56 bit 的扩展(D4~D7 也为 245 芯片,结构同 D2、D3,由于图表大小限制,只给出 D2、D3 电路图)。

2.4 工作流程

系统的工作流程图如图 5 所示。DVI 接口具有即插即用功能,要求接收设备符合 VESA 的 DDC2B 或更高版本的通信协议,DDC2B 构建在 I²C 总线上,通过 DDC(显示数据通道)来传递显示设备的 EDID 数据,从而实现 PC 机对设备的识别和正确配置。DVI 接口中有 +5 V 电压,热插拔检测 (HPD) 电压要求从此电压获取,HPD 有效电平应大于 2.4 V,因此接收设备的 HPD 串联电阻一般应小于 10 kΩ。将 DVI 接口插座的 16 脚通过 1 kΩ 上拉电阻和第 14 脚相连,便构成 HPD 信号。AT24C16 芯片的时钟线 (SCL)、数据线 (SDA) 和 DVI 接口插座的第 6、7 脚相连,当系统上电时,AT24C16 在时钟 SCL 的同步控制下通过 DDC 通道向 PC 机传送 EDID 数据。当 PC 机成功识别和正确配置以后,TMDS 链路则被激活。

3.3 V 电压。

电路的布线优先按照信号的流向采用全直线,需要转折时可用 45°折线或圆弧曲线来完成,这样可以减少高频信号对外的发射和相互间的耦合。高频信号线的布线应尽可能短。要根据电路的工作频率,合理地选择信号线布线的长度,这样可以减少分布参数,降低信号的损耗。

TMDS 信号的变化沿非常快,很容易因为传输介质的阻抗不连续引起信号反射,造成误码率上升。为保证快速变化的信号沿,必须要求传输介质具有足够的带宽。收发芯片到 DVI 接口插座的传输线距离应尽量缩短,并严格控制差分传输线的特性阻抗。由于 TMDS 发送器输出信号的变化沿可以达到 75 ps 且最小码元宽度接近 0.6 ns,所以不仅要严格控制 TMDS 的差分对中正负两条信号线的等长,而且要使得不同差分对的长度也要尽量相等。同时,为提高电路设计的电磁兼容性和抗干扰性,差分对必须平行走线,并且信号路径上尽量避免出现过孔,差分对的两条线间距 S 要尽量小。在同一信号层内其他信号到差分线的间距要大于 2S,即要满足差分布线的 2S 原则。差分线下方要有完整的地线平面,以保证良好的信号回流和高速差分信号的阻抗连续^[8,9]。

由于高频电路对噪声非常敏感,所以最大限度的过滤噪声是需要的,这些通过旁路电容来完成。系统的电源接入端放置一个 1~10 μF 的电容,板上每个设备的电源脚与地线脚之间放置一个 0.01~0.1 μF 的电容。为达到良好的性能,应该使芯片与电容在同一点上接 V_{CC}和接地。一般,最好将电容放在板子的正对面,芯片的正下方。

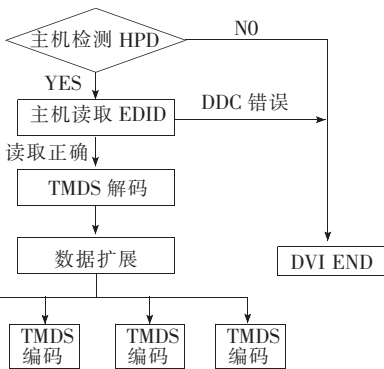


图 5 工作流程图
Fig. 5 Flow chart of the system

3 高速电路设计

考虑到布线、抗干扰以及成本等问题,本系统的电路板设计为 4 层板,顶层和底层放置元器件,添加 2 个中间层:地层和电源层。其中电源层接

4 结 论

对 DVI 接口进行了扩展,设计了一个 DVI 的一进四出转接系统,以实现 DVI 的同步输出。实践证明,该系统能够实现 DVI 的扩展功能,较好地实现了最初的设想。

参 考 文 献:

[1] 游阳明,刘金岭. DVI 显示技术的基本标准与现状 [J]. 沧州师范专科学校学报,2005,(3):53-57.
[2] 尹淑仙,徐火生. DVI 核心技术剖析与逻辑实现 [J]. 液晶与显示,2007,22(6):765-769.
[3] Texas Instruments. TFP201 datasheet [S]. Texas, USA,2000.

